

**Delphion**

---

**RESEARCH**    **INTEGRATED IAM**    **SERVICES**    **INSIDE DELPHI**

[Log Out](#) [Work Files](#) [Saved Searches](#)    My Account | Products | News | Events    Search: Quick Number Boolean Advanced

## The Delphion Integrated View

Buy Now: [More choices...](#)

Tools: Add to Work File: [Create new Work](#)

View: [INPADOC](#) | Jump to: [Top](#)

Go to: [Derwent...](#)

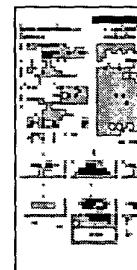
[Email](#)

>Title: **JP2240940A2: MANUFACTURE OF INTEGRATED CIRCUIT DEVICE**

Country: JP Japan

Kind: A

Inventor: YUDA NAOKI;  
TAKASE YOSHIHISA;  
UENISHI MITSUAKI;



Assignee: MATSUSHITA ELECTRIC IND CO LTD

[News](#), [Profiles](#), [Stocks](#) and More about this company

Published / Filed: Sept. 25, 1990 / March 15, 1989

Application Number: **JP1989000062416**

IPC Code: **H01L 21/56; H01L 23/50;**

Priority Number: March 15, 1989 **JP1989000062416**

Abstract:

PURPOSE: To prevent the displacement of an electrode and the occurrence of a thin burr on a terminal face by a method wherein the projecting electrode is provided on the surface of a support part, an integrated circuit element is bonded on the electrode and sealed with resin and then the reverse side of the support part is removed until the electrode is exposed.

CONSTITUTION: One surface of an iron metal thin plate is half-etched and thereby a lead frame 1 provided with a projecting electrode 1a and a flat-plate-shaped electrode support part 1b is prepared. Next, an insulative bonding agent 3 is applied to a prescribed position on the electrode 1a, an integrated circuit element 2 is mounted by die-bonding and the prescribed electrode 1a and an input-output terminal of the integrated circuit element 2 are connected by a gold slender wire 4. In succession, the other surface 1e of the support part 1b is brought into contact with a bottom tool of a transfer mold and epoxy sealing resin 5 is injected to seal up the integrated circuit element 2, the gold slender wire 4, etc., with the resin. Thereafter the other surface 1e of the support part 1b is ground by a surface grinding machine, the electrode support part 1b is removed thereby and the electrode 1a is separated and exposed, so that a terminal face 1x for external connection is prepared. By this method, the displacement of the electrode and the occurrence of thin burrs are prevented.

COPYRIGHT: (C)1990,JPO&Japio

Family: None



(19)

(11) Publication number:

0

Generated Document.

**PATENT ABSTRACTS OF JAPAN**(21) Application number: **01062416**(51) Int'l. Cl.: **H01L 21/56 H01L 23/50**(22) Application date: **15.03.89**

(30) Priority:

(43) Date of application publication: **25.09.90**

(84) Designated contracting states:

(71) Applicant: **MATSUSHITA ELECTRICAL LTD**(72) Inventor: **YUDA NAOKI  
TAKASE YOSHIHISA  
UENISHI MITSUAKI**

(74) Representative:

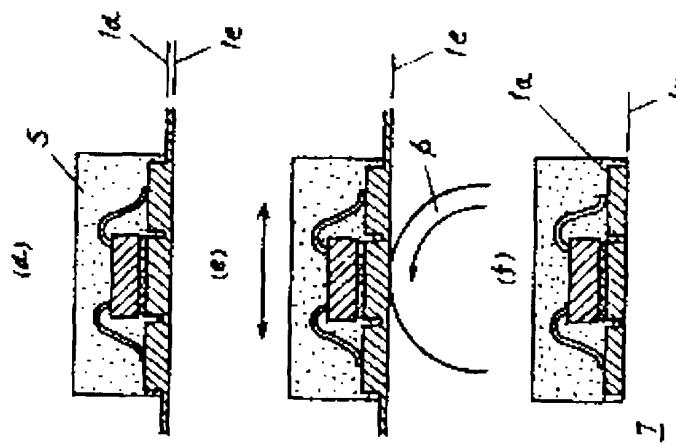
**(54) MANUFACTURE OF INTEGRATED CIRCUIT DEVICE**

(57) Abstract:

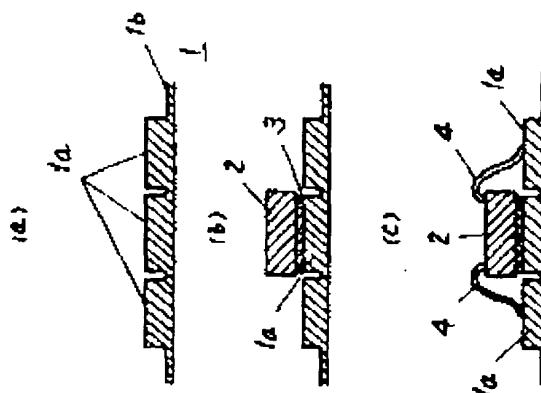
**PURPOSE:** To prevent the displacement of an electrode and the occurrence of a thin burr on a terminal face by a method wherein the projecting electrode is provided on the surface of a support part, an integrated circuit element is bonded on the electrode and sealed with resin and then the reverse side of the support part is removed until the electrode is exposed.

**CONSTITUTION:** One surface of an iron metal thin plate is half-etched and thereby a lead frame 1 provided with a projecting electrode 1a and a flat-plate-shaped electrode support part 1b is prepared. Next, an insulative bonding agent 3 is applied to a prescribed position on the electrode 1a, an integrated circuit element 2 is mounted by die-bonding

and the prescribed electrode 1a and an input-output terminal of the integrated circuit element 2 are connected by a gold slender wire 4. In succession, the other surface 1e of the support part 1b is brought into contact with a bottom tool of a transfer mold and epoxy sealing resin 5 is injected to seal up the integrated circuit element 2, the gold slender wire 4, etc., with the resin. Thereafter the other surface 1e of the support part 1b is ground by a surface grinding machine, the electrode support part 1b is removed thereby and the electrode 1a is separated and exposed, so that a terminal face 1x for external connection by prepared. By this method, the displacement of the electrode and the occurrence of thin burrs are prevented.



COPYRIGHT: (C)1990,JPO&Japio

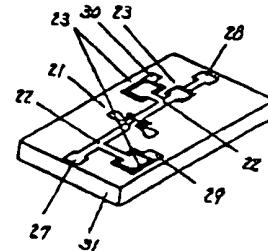


## (54) MONOLITHIC MICROWAVE INTEGRATED CIRCUIT

(11) 2-240938 (A) (43) 25.9.1990 (19) JP  
 (21) Appl. No. 64-61789 (22) 14.3.1989  
 (71) MATSUSHITA ELECTRON CORP (72) KOJI TSUKADA(2)  
 (51) Int. Cl. H01L21/338, H01L27/04, H01L27/095, H01L29/812

**PURPOSE:** To widen a band of low noise characteristics by forming a monolithic microwave integrated circuit of HEMT having an equivalent noise resistance of  $5\Omega$  or below and of a passive circuit element.

**CONSTITUTION:** In a monolithic microwave integrated circuit used for amplification of a microwave and others, the equivalent noise resistance of an active element is set to be  $5\Omega$  or below. By forming AlGaAs of a microwave integrated circuit element in two layers,  $G_m$  is increased to be 1.5 times larger than usual, while the equivalent noise resistance is decreased to be  $5\Omega$  or below at 12GHz. While a passive circuit element is made to be a distribution constant circuit formed of a wiring 22 and a capacitance 23 and is made to have a impedance conversion function, an active element formed of an inductance or FET, for instance, can be employed as well. A substrate 31 is made to be GaAs, or otherwise a substance of high permittivity, Si or the like is used. By this constitution, frequency characteristics in a wide band of low noise can be obtained.



## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(11) 2-240939 (A) (43) 25.9.1990 (19) JP  
 (21) Appl. No. 64-60811 (22) 15.3.1989  
 (71) FUJITSU LTD (72) SHIGERU TERADA  
 (51) Int. Cl. H01L21/56, H01L23/29, H01L23/31

**PURPOSE:** To improve the hardness of a polyimide film and the adhesion thereof to the ground by treating the polyimide film by a solution containing phenol, chlorobenzene and chlorethylene, at a temperature of 125°C or above and for 30 minutes or longer.

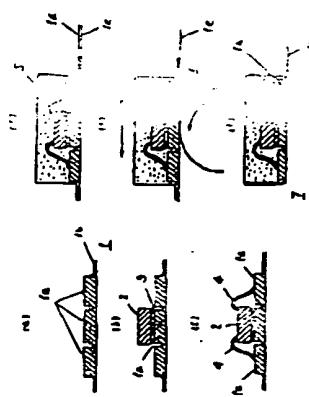
**CONSTITUTION:** A polyimide solution is applied on a silicon substrate and subjected to heat treatment to be hardened. A resist is applied thereon, and mask alignment, exposure and development are conducted to form a resist pattern. With the resist pattern used as mask, subsequently, a polyimide film is etched by using a polyimide etching liquid. Then, treatment is conducted at a temperature of 125°C or above and for 30 monites or longer by using a resist peeling solution containing o-dichlorobenzene and tetrachlorethylene, so as to peel the resist. After the peeling of the resist, heat treatment is conducted and thereby a dry polyimide film is obtained. By this method, the hardness of the polyimide film and the adhesion thereof to the ground can be improved.

## (54) MANUFACTURE OF INTEGRATED CIRCUIT DEVICE

(11) 2-240940 (A) (43) 25.9.1990 (19) JP  
 (21) Appl. No. 64-62416 (22) 15.3.1989  
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) NAOKI YUDA(2)  
 (51) Int. Cl. H01L21/56, H01L23/50

**PURPOSE:** To prevent the displacement of an electrode and the occurrence of a short circuit on a terminal face by a method wherein the projecting electrode is provided on the surface of a support part, an integrated circuit element is bonded on the electrode and sealed with resin and then the reverse side of the support part is removed until the electrode is exposed.

**CONSTITUTION:** One surface of an iron metal thin plate is half-etched and thereby a lead frame 1 provided with a projecting electrode 1a and a flat-plate-shaped electrode support part 1b is prepared. Next, an insulative bonding agent 3 is applied to a prescribed position on the electrode 1a, an integrated circuit element 2 is mounted by die-bonding and the prescribed electrode 1a and an input-output terminal of the integrated circuit element 2 are connected by a gold slender wire 4. In succession, the other surface 1c of the support part 1b is brought into contact with a bottom tool of a transfer mold and epoxy sealing resin 5 is injected to seal up the integrated circuit element 2, the gold slender wire 4, etc., with the resin. Thereafter the other surface 1c of the support part 1b is ground by a surface grinding machine, the electrode support part 1b is removed thereby and the electrode 1a is separated and exposed, so that a connection between the integrated circuit element and the electrode 1a is established. By this method the



## ⑪ 公開特許公報 (A)

平2-240940

⑫ Int.Cl.<sup>3</sup>H 01 L 21/56  
23/50

識別記号

厅内整理番号

H 6412-5F  
A 7735-5F

⑬ 公開 平成2年(1990)9月25日

審査請求 未請求 請求項の数 2 (全6頁)

## ⑭ 発明の名称 集積回路装置の製造方法

⑮ 特 願 平1-62416

⑯ 出 願 平1(1989)3月15日

⑰ 発 明 者 渡 田 直 穎 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑱ 発 明 著 高 濱 喜 久 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑲ 希 明 者 上 西 光 明 大阪府門真市大字門真1006番地 松下電器産業株式会社内  
 ⑳ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地  
 ㉑ 代 理 人 弁理士 粟野 重孝 外1名

## 明細書

## 1. 発明の名称

集積回路装置の製造方法

## 2. 特許請求の範囲

(1) 子板状の支持部の一方の面に凸状の電極を設けたリードフレームを用い、前記電極上に接着力を強化して集積回路素子を搭載し、前記電極と前記集積回路素子とを接続体によって接続し、少なくとも前記集積回路素子と前記接続体とを封止樹脂で覆った後に、前記支持部の他方の面を前記電極が露出するまで除去することによって、外部接続用端子をもつた集積回路装置の製造方法。

(2) リードフレームをダイカストによって作成した特許請求の範囲第1項記載の集積回路装置の製造方法。

## 3. 発明の詳細な説明

## 産業上の利用分野

本発明は、データを処理または記憶する集積回路素子を内蔵し、外部接続との間でデータの交叉

ができるICカード等に用いられる集積回路装置におけるものである。

## 従来の技術

近年、マイクロコンピュータ、メモリ等の集積回路素子をプラスチック製カードに搭載または接続したいわゆるICカードが実用化されつつある。

このICカードはすでに多量に使用されている。日本式ストライプカードに比して記憶容量が大きく、また機密保持のために使われているため、金融カード、クレジットカード、医療カードなど多くの分野で実用化されつつある。

このようなICカードは、塩化ビニル等のプラスチックカードに、リード・ライタ等の外部装置とともに、子をあわせた構成として構成でき、この点で、汎用性は構造が簡単で寸法精度がよく、きわめて降低成本にする必要とされる。このため集積回路装置は、金属基板を所定する電極形状に形成したリードフレームを用いて作製されている。

以下に、集積回路装置の従来の方式について

て説明する。第7図は従来の製造方法に用いられるリードフレームの平面図であり、第8図(a)から(b)は従来の集積回路装置製造方法を示した第7図の断面図である。リードフレーム100は、金属電板をエッチングや打ち抜き等の方法によって所望する電極形状に加工したものであり、各電極100aはそれぞれの支持部100bによってリードフレームの外枠100cに支えられている。また、その100b断面は第8図(b)のようになっていいる。

第8図(a)に示す電極100aの一方の面100d上に接着剤102を塗布し、集積回路基子101をダイスボンドして同図(b)の構成とする。次に、金細線103によって電極100aと集積回路基子101とをワイヤーボンドして同図(c)とし、その後同図(d)のように電極100aの他方の面100eを外部接続用端子として露出し、集積回路基子101および金細線103を覆うように封止樹脂104を成形する。そして、最後にリードフレームの支持部100bを切断して集積回路基

の外観を著しく損ねるだけでなく、リード・ライダ等の外包装膜との間でデータの授受を行う際に誤りを生じさせる原因となるため、これらを如何にして抑えるかが従来技術の課題となっている。

本発明はこのような課題を解決するもので、外部接続用端子面において電極の定位やズレが生じない集積回路装置の製造方法とすることを目的としている。

#### 課題を解決するための手段

この目的を達成するため本発明は、平板状の支持部の一方の面に各次の電極を打けたりードフレームを用い、前述電極上に集積回路基子を接着剤で接着し、その後電極とこの集積回路基子との間でワイヤーボンドし、その後、このリードフレームの他方の面を封止樹脂が露出するまで除去することによって外部接続用端子を形成するものである。

#### 作用

この製造方法では、支持部は平板状の支持部の一方の面に凸状に形成されており、各電極が分散し

て200を得ている。(特開昭63-33863号公報)

#### 発明が解決しようとする課題

しかしながら上記の製造方法では、リードフレーム100の各電極100aが分散しており、それぞれが個別のない支持部によって支持されているため、取り扱いが困難であった。

また集積回路装置製造時にこの支持部がゆがめられ、完成した集積回路装置の外部接続用端子面において、電極が定位して封止樹脂104中に埋没あるいは突出したり、極端な場合には二つの電極100aが接触したりするという問題点があった。

さらにこの製造方法では、ダイスボンド工程や樹脂封止工程において接着剤102や封止樹脂104が吐み出した場合、それらが外部接続用端子表面に回り込み、ズレたりとして残るという問題点もあった。

これらの、外部接続用端子面における電極100aの定位やズレの発生は、集積回路基子

でないため、製造工程において電極の定位が生じることではなく、さらに集積回路基子の基板工程や樹脂封止工程において接着剤や封止樹脂が集積回路装置の外部接続用端子面に回り込むことがないため、ズレよりも発生しなくなる。

また、この外部接続用端子面は研磨によって作製されるため、樹脂封止工程等において集積回路装置にたわみが生じた場合にも平坦な面に仕上げることができる。

#### 実施例

以下に本発明の一実施例について、図面を参照して述べる。

第1図は本発明の第1の実施例に用いられるリードフレームを示した斜視図であり、第2図(a)から(b)に集積回路装置の製造方法を示したが、図(a)は断面図、第3図は外部接続用端子面を上方に向けて、完成した集積回路装置を示した斜視図である。第1図から(a)において、1はリードフレーム、1aにその一方の面の凸状の電極、1b

は支持部、14は支持部15の一方の面、10は支持部15の他方の面、12は集積回路装置の外部接続用端子面、2は集積回路素子、3は粘着剤、4は金網版、5は封止樹脂、6は砾石、7は集積回路装置である。

まず、厚さ0.25mmの鉄系金属薄板の一方の面に電極部分を貼りて厚さ0.10mmのハーフニッティングを施し、凸状の電極11と平板状の電極支持部10とを備えたリードフレーム1を作製した。ただし電極11の寸法は3.0mm×2.1mmとし、その配置はISO(国際標準化機構)によって定められた規格に準拠した。次に、この電極11上の所定の位置に塗布厚約30μmの絶縁性接着剤3を塗布し、この絶縁性接着剤3を介して厚さ0.22mm、サイズ5mm×4.5mmの集成回路電子2をダイスボンドして接続した。次に銀線エロードの金網端4により所定の電極11と集成回路電子2の入出力端子とをワイヤーボンドして接続した。次いで、支持部10の外方の面10をトランسفォルミング金型〇下金型に当接し、エポキシ封止樹脂

びワイナーポンドを施した状態を示した断面図。  
図5は完成した集成回路装置の断面図である。

第4回：この部品と图において、10はリードフレーム、10<sub>a</sub>は底面、10<sub>b</sub>は支持部、10<sub>c</sub>は支持部10<sub>b</sub>の一方の面、10<sub>d</sub>は支持部10<sub>b</sub>の他方の面、10<sub>e</sub>は外部接続用端子面、11は表裏基板子、12は金網線、13は封止樹脂、14は表裏回路切替である。

本試験では、三穴合金を全面中に採用して、  
ダイカスト法により支持部10φ以上及び同心円状  
の定位10φを備えたリードフレーム10を作製  
した。そして、約1回起落子11をこの定位10φ  
上に、その上に、その上に、その上に、その上に、  
の順序で成形・成形・成形・成形・成形と、  
と同様に行なった。

との相反のよう閉ループをもつて板の内側に別の電板を設ける場合、従来の製造方法では各電板の支持方法としてその二種を分類せざるを得ないが、本実施例の製造方法では、全ての電板は平板状の電板支持部の一方の面

5を注入して集積回路電子2、金細線4等を樹脂  
封止した。その後、炭化けい素系の延石6を充  
た平面研削盤によって支持部1の他方の面1。  
を0.1mm研削した。これによって電極支持部1  
が除去され、電極1が分離および算出して外  
に取用端子面1 $\times$ となり、集積回路装置7が漏ら  
れた。

この実験回路装置 A の外部接続用端子面 1 × に  
は、電極の定位エッジ部ばかりは発生しなかった。  
さらに実験回路装置 A は、封止樹脂成形時の収縮  
変化によって約 30 μ m 程度のたわみが生じたが、  
研削後の外部接続用端子面 1 × は凹凸が 60 μ m 以  
下に抑えられた平面となった。

完成した集積回路基板の厚さは0.62mmで、外周寸法は横12mm、縦10mmであった。

宋史卷之二

以下本発明の第2の実施例について説明を  
しながら述べる。

第4図は本発明の第2の実施例にかかる到着方法において、リードフレームにダイスボンディング

て支持されており、この部分は樹脂封止部に平面研削によって除去されるためなんら問題は生じなかつた。

さらに、この断面の上に板状部材を重ねて示す11を  
おいた電極10の上にまたがってダイスボンドする  
場合、接着剤が電極10の上からみ出しがやすくな  
る。従来の製造方法では、この接着剤のはみ出し  
が外部接続用端子面のせばりとなって残るため、  
このような仕様でダイスボンドすることは避けら  
れていた。しかしながら本実施例の製造方法では、  
接着剤のはみ出しが特に問題とならないため、例  
ら支障なくダイスボンドすることができた。

完成した後も、日本は長1.0メートルには1.0戸で、外周半径は1.2.5戸であった。また、第1の突工部の外側に1.1.5戸と併せて外周を採用端子面1.0メートルには区域の変化が上じ端にりの発生に至る。さらにたわみによる凹凸も6.5メートル以下となつた。

このような同心円状の電圧 $100\%$ を持った集め回路抵抗 $14$ は、リード・ライタ等の外部抵抗に挿入する際に声入式としている場合においても

集積回路装置14を単体でコインのようにして使用することが可能となる。また集積回路装置14を中心からずらしてダイスボンドすることにより、ワイヤーボンド距離を短くすることができるため電極性が向上すると共に、コストを低下することができる。さらに、リードフレーム10をダイカスト法によって作成するため電極性を向上させることもできる。

なお、第1および第2の実施例において、特にリードフレーム1, 10にメッキ処理は施さなかったが、リードフレームの腐食等を防ぎ集積回路装置の寿命を延ばす目的で、支持部を除去した後に外部接続用端子面にメッキ等を施してもよい。

また、第1および第2の実施例において外部接続用端子面を露出させるために研磨という機械的な方法を用いたが、それ以外にエッチング等の化学的方法を用いててもよい。

#### 発明の效果

以上のように本発明は、凸状の電極を平面状の

支持部の一方の面に設け、この電極上に集積回路素子を接着剤で固定し、樹脂封止した後、羽根支持部の他方の面を取起電極が現われるまで除去して外部接続端子を形成する製造方法であるため、外部接続用端子面に電極の定位および厚さより生じない集積回路装置を作成することができる。

また、封止樹脂形成完了した後が生じた場合にも外部接続用端子面に予め予め平面に仕上げることができる。

さらに、特殊な電極形状を用いる場合でもリードフレームの取り扱いが容易であり、特別な配慮をすることなしに集積回路装置を作成することができるものである。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例において用いられるリードフレームの斜視図、第2図(1)～(3)は集積回路装置の製造方法を示した断面図、第3図は完成した集積回路装置の斜視図、第4図は本発明の第2の実施例における突状回路装置の製造方法においてリードフレームにダイスボンドつよびリ

イヤーボンドを施した後の状態を示した斜視図、第5図は完成した集積回路装置の斜視図、第6図は従来の集積回路装置の製造方法について示されたリードフレームの斜視図、第7図は従来の製造方法を示した断面図である。

1……リードフレーム、12……電極、13……支持部、14……支持部13の一方の面、15……支持部13の他方の面、16……端子面、17……集積回路素子、18……樹脂、19……封止樹脂、20……電極、21……集積回路装置、22……リードフレーム、10a……電極、10b……支持部、10c……支持部の一方の面、10d……支持部の他方の面、10e……封止樹脂、10f……電極、11……集積回路装置、12……金細線、13……封止樹脂、14……集積回路装置。

代理人の名前：ナショナル・セミコンダクタ・エレクトロニクス

- 1……リードフレーム
- 12……電極
- 13……支持部
- 14……支持部の一方の面
- 15……支持部の他方の面

第1図

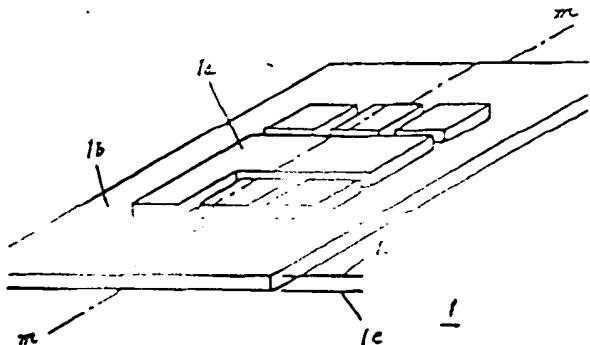


図2 図

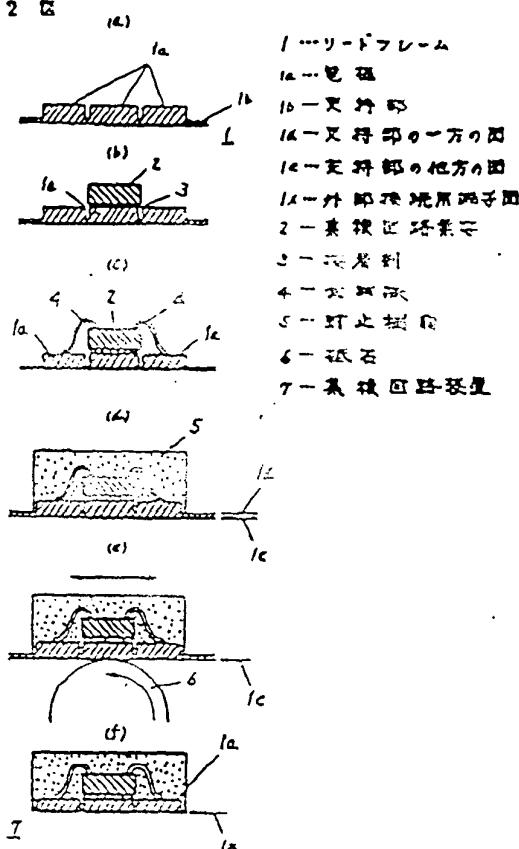


図3 図

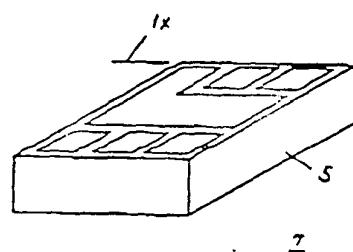


図4 図

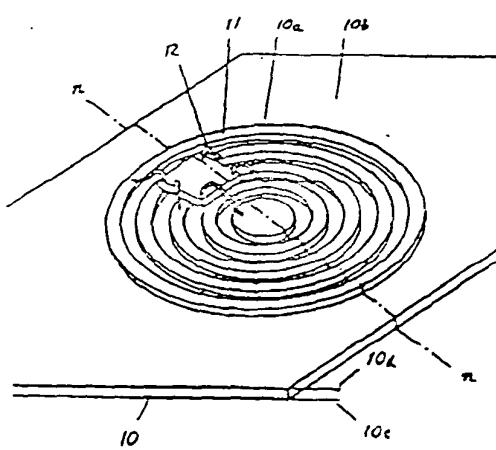


図5 図

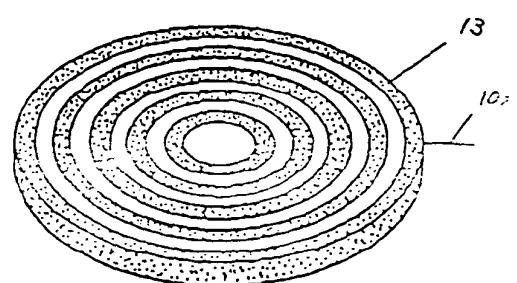


図 6 B

